



(43) 國際公開日
2005 年 6 月 23 日 (23.06.2005)

PCT

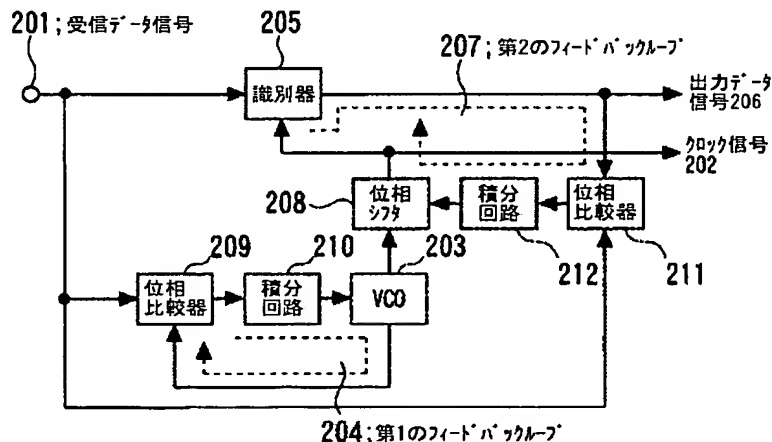
(10) 国際公開番号
WO 2005/057840 A1

- | | | |
|--|-------------------------------|---|
| (51) 国際特許分類 ⁷⁾ : | H04L 7/033, H03L 7/08 | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP2004/017573 | (75) 発明者/出願人 (米国についてのみ): 和田 茂己 (WADA, Shigeki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). |
| (22) 国際出願日: | 2004 年 11 月 26 日 (26.11.2004) | (74) 代理人: 加藤 朝道 (KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜 3 丁目 2 〇 番 1 2 号 望星ビル 7 階 加藤内外特許事務所内 Kanagawa (JP). |
| (25) 国際出願の言語: | 日本語 | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | | |
| 特願2003-409204 | 2003 年 12 月 8 日 (08.12.2003) | JP |
| (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP). | | |

〔続葉有〕

(54) Title: CLOCK DATA REPRODUCTION CIRCUIT

(54) 発明の名称: クロックデータ再生回路



201...RECEPTION DATA SIGNAL
205...IDENTIFIER
207...SECOND FEEDBACK LOOP
206...OUTPUT DATA SIGNAL
202...CLOCK SIGNAL
208...PHASE SHIFTER
212...INTEGRATION CIRCUIT
211...PHASE COMPARATOR
209...PHASE COMPARATOR
210...INTEGRATION CIRCUIT
204...FIRST FEEDBACK LOOP

(57) Abstract: There is provided a clock data reproduction circuit capable of improving the following speed following the reception data signal fluctuation and the clock quality as well as automatically performing adjustment to an optimal identification phase. The clock data reproduction circuit includes: a first feedback loop (204) having a phase comparator (209) for inputting clock from a VCO (203) and a reception data signal and detecting a phase difference, an integration circuit (210), and the VCO (203); and a second feedback loop (207) having an identifier (205) for inputting a reception data signal (201), a phase comparator (211) for inputting the output from the identifier (205) and the reception data signal (201) and detecting a phase difference, an integration circuit (212), and a phase shifter (208) for inputting the clock outputted from the VCO (203), shifting the phase according to the integration output of the integration circuit (212) when outputting it.

〔統葉有〕



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

- 国際調査報告書
- 補正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 受信データ信号の揺らぎや変動に対する追従速度とクロック品質を改善し、さらに最適な識別位相に自動調整可能としたクロックデータ再生回路の提供。 VCO203からのクロックと受信データ信号を入力して位相差を検出する位相比較器209と、積分回路210と、VCO203よりなる第1のフィードバックループ204と、受信データ信号201を入力する識別器205と、識別器205の出力と受信データ信号201を入力して位相差を検出する位相比較器211と、積分回路212と、VCO203から出力されるクロックを入力し積分回路212の積分出力に応じて位相をシフトして出力する位相シフタ208よりなる第2のフィードバックループ207を有する。